

15. 4. 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 1 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 1 0 2 4 2
Application Number:

[ST. 10/C]: [J P 2 0 0 3 - 1 1 0 2 4 2]

出 願 人 キヤノン株式会社
Applicant(s):

REC'D 10 JUN 2004

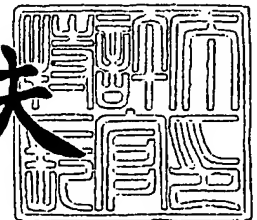
WIPO PCT

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 5 月 2 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 252616

【提出日】 平成15年 4月15日

【あて先】 特許庁長官殿

【国際特許分類】 G02B 6/42
G06F 15/00
H01L 27/00
H01L 27/15
H01L 21/82
H04B 9/00

【発明の名称】 再構成可能な光電融合回路

【請求項の数】 9

【発明者】

【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号 キヤノン株式会社
社内

【氏名】 岩崎 達哉

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代表者】 御手洗 富士夫

【代理人】

【識別番号】 100086483

【弁理士】

【氏名又は名称】 加藤 一男

【電話番号】 04-7191-6934

【手数料の表示】

【納付方法】 予納

【予納台帳番号】 012036

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704371

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 再構成可能な光電融合回路

【特許請求の範囲】

【請求項 1】 内部構成を変更可能（リコンフィギュラブル）な光電融合回路であって、複数の論理ブロックとそれらを接続する光回路を有し、該論理ブロックの内部構成が変更可能であることに加えて、該論理ブロック間の光回路を介する光接続が変更可能である様に構成されていることを特徴とする光電融合回路。

【請求項 2】 前記光回路は、シート状の光伝送媒体と、該光伝送媒体に対する光信号の発信と受信の少なくとも一方を行うポートを有し、該ポート間で光接続が変更可能である請求項 1 に記載の光電融合回路。

【請求項 3】 前記論理ブロックは、複数の論理要素と、該論理要素間を接続する電気接続網を有し、少なくとも一つの論理要素の内部構成と論理要素間の接続の少なくとも一方が変更可能である様に構成されている請求項 1 または 2 に記載の光電融合回路。

【請求項 4】 前記光回路においてコンフィギュレーションデータの分配がなされ、論理ブロックの内部構成が該コンフィギュレーションデータを基に変更される様に構成されている請求項 3 に記載の光電融合回路。

【請求項 5】 前記論理ブロックは、可変ロジック部とメモリ部を有し、該可変ロジック部の内部構成に対応したコンフィギュレーションデータを該メモリ部に保管してなる様に構成されている請求項 3 に記載の光電融合回路。

【請求項 6】 前記論理ブロックは、前記光回路を介して、別の論理ブロックから内部構成を移動、複写、もしくは置換することが可能である様に構成されている請求項 5 に記載の光電融合回路。

【請求項 7】 近接した論理ブロックの間は、電気配線により接続が可能である様に構成されている請求項 3 乃至 6 のいずれかに記載の光電融合回路。

【請求項 8】 内部構成を変更可能な論理要素を複数有した第 1 の階層と、配列して形成された論理要素間を接続するマトリックス状に配された電気配線とスイッチを有し、論理要素間の接続を切り替えることができる論理ブロックを含む第 2 の階層と、該論理ブロックの間を光接続するシート状の光伝送媒体を有し、論

理ブロック間の光接続を切り替えることができる第3の階層を有することを特徴とする階層的再構成可能回路。

【請求項9】 論理要素間を接続する電気配線、該論理要素間の接続を変更可能な電気スイッチ、該論理要素に電気接続され光電信号変換を行うポート、シート状の光伝送媒体を介する該ポート間の光接続を変更する手段を有することを特徴とする相互接続構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電子回路と光回路が混在し、回路の内部構成（論理機能、電気接続、光接続など）を高い自由度で変更することができる再構成可能（リコンフィギュラブル：Reconfigurable）な光電融合回路に関する。

【0002】

【背景技術】

最近、パーソナルコンピュータ、さらには携帯電話や個人情報端末（PDA）などの情報処理機器は、処理速度の速いことと小型・軽量であることに加えて、複数のアプリケーションを切り替えて用いることが望まれている。一方で、ロボットなどの制御機器においては、複数の制御アルゴリズムをリアルタイムで切り替えて制御することが望まれる。このような視点から、回路の再構成が可能な回路基板、特に高速でリアルタイムに回路の再構成を可能とする回路基板が望まれている。

【0003】

再構成可能な回路の例として、FPGA(Field Programmable Gate Array)やCPLD(Complex Programmable Logic Device)等が挙げられ、電気バス配線を用いてチップ間を接続しているFPGAのマルチチップシステムがある（特許文献1）。これらは、高速性や回路規模などの点で、さらなる向上が望まれる。

【0004】

【特許文献1】

特開2000-311156号公報

【0005】

【発明が解決しようとする課題】

しかしながら、上述のシステムにおいては、電気バス配線を用いてチップ間を接続しているために、チップ間の接続を高い自由度で再構成することができなかった。

【0006】

【課題を解決するための手段】

上記課題に鑑み、本発明の光電融合回路は、論理回路、電気接続、光接続などの内部構成を変更可能（リコンフィギャラブル）な光電融合回路であって、複数の電子回路（論理ブロック）とそれらを接続する光回路を有し、該論理ブロックの内部構成が変更可能であることに加えて、該論理ブロック間の光回路を介する光接続が変更可能である様に構成されていることを特徴とする。

【0007】

上記基本構成に基づいて、以下の様な態様が可能である。

前記光回路は、シート状の光伝送媒体と、該光伝送媒体に対する光信号の発信と受信の少なくとも一方を行うポートを有し、該ポート間で光接続が柔軟に変更可能である様に構成され得る。

【0008】.

また、前記論理ブロックは、複数の論理要素と、該論理要素間を接続する電気接続網を有し、少なくとも一つの論理要素の内部構成と論理要素間の接続との少なくとも一方が変更可能である様に構成され得る。例えば、論理ブロックは、機能を変更可能な論理要素と、該論理要素間の接続を変更可能な電気接続網を有し得る。

【0009】

また、前記光回路においてコンフィギュレーションデータの分配がなされ、論理ブロックの内部構成が該コンフィギュレーションデータを基に変更される様に構成され得る。この場合、論理ブロックは、可変ロジック部とメモリ部を有し、該可変ロジック部の内部構成に対応したコンフィギュレーションデータを該メモリ部に保管してなる様に構成されたり、光回路を介して、別の論理ブロックから

内部構成を移動、複写、もしくは置換することが可能である様に構成されたりする。

【0010】

また、近接した論理ブロックの間は、電気配線により接続が可能である様に構成され得る。

【0011】

更に、本発明の階層的再構成可能回路は、内部構成を変更可能な論理要素を複数有した第1の階層と、配列して形成された論理要素間を接続するマトリックス状に配された電気配線とスイッチを有し、論理要素間の接続を切り替えることができる論理ブロックを含む第2の階層と、該論理ブロックの間を光接続するシート状の光伝送媒体を有し、論理ブロック間の光接続を切り替えることができる第3の階層を有することを特徴とする。

【0012】

更に、本発明の相互接続構造は、論理要素間を接続する電気配線、該論理要素間の接続を変更可能な電気スイッチ、該論理要素に電気接続され光電信号変換を行うポート、シート状の光伝送媒体を介する該ポート間の光接続を変更する手段を有することを特徴とする。

【0013】

【作用】

本発明の特徴は、再構成可能な電子回路（半導体チップなどで実現される）と光回路を融合することである。これによる第1の作用・効果は、光回路（典型的には後述する光自由回路）を融合することで、電子回路内配線のRC信号遅延やEMIの問題を緩和できるため、大規模で高速な再構成可能な回路でも実現できることである。

【0014】

すなわち、特にFPGAをはじめとする再構成可能な電子回路においては、配線の自由度を高めるために多くの配線を用意することが必要となり、ダイ面積のかなり大きい部分が、プログラム可能な配線などに割当てられる。また、マトリックス状に配線がなされることが多く、この様な場合、配線の経路は多数のスイ

ッチを経なければならず、配線遅延の問題が生じやすい。さらに、これらの傾向は、電子回路の高速化、大規模化に伴い顕著となる。本発明では、電子回路間に光回路を導入することで、一つの電子回路の規模、面積は大きくせずに（むしろ小さくし）、複数の電子回路を高速な光回路で接続することで実質的に大きな回路規模でも実現できる。さらには、光自由回路を適用することで、電子回路間の接続も高い自由度で変更できるため、複数電子回路にまたがる大規模回路でも再構成が可能となる。

【0015】

一般に、大きな電子回路を高速で動作することは困難であるが、本発明においては、小さな高速電子回路を光回路で接続することで、大規模で高速な回路でも実現できる。さらに、電子回路サイズが小さくて済むことは、低コスト化にも繋がる。また、電子回路の数を増やすことで、スケーラブルに回路規模を拡張できる。

【0016】

上記特許文献1には再構成可能なチップであるFPGAを電氣的に接続する方法が開示されているが、これに比べると、本発明では、光回路を適用することで接続の多様性、柔軟性を向上させられ、さらに、高速な情報伝送も可能となる。特に、電子回路の数が増えると、電氣的な電子回路接続においてはどうしても接続自由度が下がってしまうが、光自由回路は、本質的には完全結合が可能であること、さらに、マルチキャスト伝送が可能であることなどの理由で、その接続自由度は著しく高い。

【0017】

また、従来のマトリックス配線などの電気配線を用いたチップ間相互接続においては、大規模な回路の再構成が難しいが、光自由配線を適用することでこれを比較的容易に実現できる。特に、長距離配線を光自由回路に割り当てることで、配置配線をはじめとする回路設計が著しく容易になるため、回路の再構成自身が容易になり、その時間も短縮できる。

【0018】

この様に、大規模であることに加え、高速性、柔軟性を兼ね備えた再構成可能

な回路でも、本発明による光電融合回路、階層的再構成可能回路、相互接続構造により容易に実現できる様になる。

【0019】

【発明の実施の形態】

本発明の光電融合回路、階層的再構成可能回路、相互接続構造の実施形態について説明する。

図1は、本発明の再構成可能（リコンフィギャラブル）な光電融合回路、階層的再構成可能回路、相互接続構造の一実施形態の回路接続を示す図である。図1において、201は論理要素、202は電気接続網、204は光自由回路、205は論理ブロック、101は光伝送媒体、102はポートである。ここでは、内部の回路構成を変更可能（リコンフィギャラブル）な電子回路、すなわち論理ブロック205を複数有し、それらが光自由回路204で相互接続されている。ここで、リコンフィギャラブルな電子回路としては、典型的にはロジック機能を変更可能な論理要素201と、それらの相互接続を変更可能な電気接続網202からなる回路が挙げられる。本明細書では、この様な内部構成を変更可能な電子回路の一単位を、論理ブロックと呼ぶことにする。これより分かる様に、本発明の典型的な光電融合回路は、複数の電子回路（論理ブロック205）とそれらを相互接続する光自由回路を有し、論理ブロックの内部構成が変更可能であることに加えて、論理ブロック間の光接続を高い自由度で変更することが可能である。

【0020】

論理要素201としては、実現したい論理関数に関する入出力の真理値表をRAM形式でもち、入力組み合わせに対して出力信号を出すLUT（ルックアップテーブル）が挙げられる。また、AND、NAND、OR、NOR、XOR、フリップフロップ、ラッチ、レジスタ、インバータ、乗算器など、さらには、これらのいずれかを組合わせた回路を有してもよい。さらには、メモリを有してもよい。他にも、整数演算、浮動小数点演算、関数演算等の演算ユニット（プロセッサ）を有してもよい。

【0021】

電気接続網202は、論理要素間の接続を設定できるものであり、例えば、配列

して形成された論理要素間を接続するマトリックス状に配された電気配線とスイッチから構成するものがある（図2参照）。スイッチは、論理要素201と電気配線の接続部207や、マトリックス配線208の交差部206などに配される。

【0022】

こうして、典型的な論理ブロック205とは、再構成可能な論理要素201が再構成可能な電気接続網202で相互接続された再構成可能な電子回路ということが出来る。論理ブロック205には、FPGAやCPLD等、さらにはプロセッサを2次元配列させたプロセッサアレイなどが含まれ得る。

【0023】

光自由回路は、光をキャリアとし情報を伝達する回路であり、光伝送媒体を介して高い自由度で情報の伝送形態を変更可能な回路である。光伝送媒体としては、例えば2D（2次元）光導波路が挙げられる。この光自由回路204を用いることで、所望の論理ブロック205間の接続を高い自由度で変更することが可能となる。この様にして、本発明の光電融合回路は、電気接続網と光回路を変更することで、所望の論理要素間の接続を高い自由度で変更できる。すなわち、電子回路（論理ブロック）の内部構成を変更することに加えて、電子回路（論理ブロック）間の光接続を高い自由度で変更することで、回路全体の構成を変更可能である。

【0024】

本発明の光電融合回路の他の形態は、再構成を行う階層として、以下の3つの階層を有する階層的再構成可能な回路ということができる。すなわち、リコンフィギュラブルな論理要素からなる第1の階層（論理要素の再構成）と、配列して形成された論理要素間を接続するマトリックス状に配された電気配線とスイッチを有し、論理要素間の接続を切り替えることができる第2の階層（論理ブロック内の電気接続網レベルの再構成）と、該論理ブロックの間を光接続するシート状等の光伝送媒体を有し、該論理ブロック間の光接続を高い自由度で切り替えることができる第3の階層（光自由回路のレベルの再構成）を有する。

【0025】

この様な階層的な構成を採ることで、第1の階層の再構成のみを用いた小規模

な回路変更から、第3の階層を用いた大規模な回路変更まで、幅広い回路の変更を柔軟に実施することが可能となる。

【0026】

また、上述の様な回路は、論理要素が以下の様な接続構造で接続されている相互接続構造としても捉えられる。すなわち、論理要素間を接続する電気配線、論理要素間の接続を変更可能な電気スイッチ、論理要素に電気接続され光電信号変換を行うポート、ポート間の光接続を可能にするシート状の光伝送媒体、ポート間の光接続を変更する手段を有した相互接続構造である。

【0027】

上記実施形態の再構成可能な光電融合回路の構成を図2に沿って説明する。図2において、201は論理要素、208は電気接続網であるマトリックス配線、205は論理ブロック、101は光伝送媒体、206は交差部、207は接続部である。図1は回路の接続形態を記した図であるが、図2は回路の平面的なレイアウトに対応している。

【0028】

図2において、再構成可能な回路は、9つの論理ブロック205から構成されている。論理ブロック205は、25個の論理要素201とそれらを相互接続するマトリックス配線208から構成されている。論理ブロック205の数や論理要素201の数はこれらに限るものではなく、所望の数を配することができる。ここで、論理要素201は、それぞれマトリックス配線208である水平電気配線と垂直電気配線により相互接続されている。水平電気配線と垂直電気配線の交差部206にはスイッチを有し、論理要素201間の接続を変更できる様になっている。また、電気配線と論理要素201の間の接続部207にもスイッチを配してよい。

【0029】

上記論理ブロック205は、光伝送媒体101に光信号を発信もしくは受信する機能を有するポート102（図1参照）に接続される（図2ではポートは不図示）。ポート102は、電気信号を光信号に変換する光出力部（発光素子）、もしくは、光信号を電気信号に変換する光入力部（受光素子）、もしくはその両方を有しているが、両方を有していることが機能性の観点から好ましい。ここにおいて、論理

ブロック205からの信号がポート102で光信号に変換され、光信号は光伝送媒体101である2D光導波路を伝播後、別のポート102で電気信号に変換され、光回路が構成される。すなわち、発信を担うポート102の光出力部である発光素子から射出された光は、光伝送媒体101を伝播し、受信を担うポート102の光入力部である受光素子に入力される。受信を担うポート102で信号が電気信号に変換されることで、ポート102からポート102への信号伝送がなされ、光回路が構成される。

【0030】

光伝送媒体101としては、典型的には2次元導波路（シート状の光導波路）が用いられる。典型的な光自由回路とは、この様な2次元導波路であって、任意の位置に光デバイスを配置することができ、任意の点に配したポートから任意のポートに2次元的に光データを送信する様にしたものである。例えば、ポート102からの伝播光103は、図13に示す様に、設定した任意の伝播方向や放出角104a、104bで伝播させることで、送信先を選択できる。ここで、放射角104の設定範囲は特にこだわらないが、例えば360°全方向にブロードキャストすることや、発光素子の放射角相当であってなるべく小さな放射角でビーム状に伝播させることなどができる。光の伝播方向や放射角を制御することなどで回路を高い自由度で変更できる。光自由回路は、1対1のポートの接続組み合わせに関しては、任意の組で双方向通信が可能であり、完全結合可能な回路とできる。さらに1：Nのマルチキャスト通信や、N：Mの通信なども実現可能であり、接続自由度の高い回路である。

【0031】

さらに、光自由回路は上述の接続の切り替え、再構成が可能である。すなわち、1対1のポート間の組み合わせの切り替え（再構成）が可能であり、さらには、複数のポート間の伝達経路の切替、すなわち1：NやN：M送信の切り替え（再構成）が可能ともできる。

【0032】

この様にして、2D導波路を用いた光自由回路は、ポート間の完全結合が可能であり、さらには、マルチキャストが可能な接続自由度の高い再構成可能な回路であり、再構成可能な電子回路を相互接続することで、高度に再構成可能なシス

テムを構築する際に好ましい手段である。

【0033】

こうして電子回路間を光自由回路で接続することで複数の電子回路にまたがる再構成を自由度高く行える構成になり、先に述べた様に、電子回路内、すなわち論理ブロック内の長距離配線の負荷が低減し、電子回路内の信号遅延の問題が緩和される。さらには、電子回路のサイズは小さくても大規模なシステムを実現でき、2D光導波路を用いた自由な光回路は、論理ブロックのスケラブルな拡張を実現できる。

【0034】

さらに言えば、2次元に論理要素を配列した構成を有する電子回路（論理ブロック）を接続して拡張する際には、2次元に高い自由度で回路変更可能な接続手段は、設計の容易性などの観点からも、最も好ましい。すなわち、2D光導波路を適用した2D光自由回路との融合は、特に適合性に優れる方法である。

【0035】

図2において、正方形の論理ブロック205が規則的に配列して描かれているが、電子回路形状は特にこれに限るものでなく、長方形であってもよいし、配列も自由である。特に、2D光自由回路においては、任意の位置にポートを配置することが可能である。すなわち、チップ（電子回路）の配置位置の自由度が高いという特徴がある。

【0036】

典型的には、一つの論理ブロック対して、一つのポートを配することができるが一つの論理ブロックに対して複数のポートを配してもよいし、複数の論理ブロックで一つのポートを共有する様にしてもよい。

【0037】

また、図2においては、論理ブロック205のみで構成された均質な再構成システムであるが、ASIC、CPU、DSP、メモリなどのチップを有してもよい。この際には、ASICなどのチップに接続するポートも用意することができる。

【0038】

ここで、光自由回路にライン導波路や自由空間接続ではなく、2D導波路が好ましい理由をさらに説明する。まず、光ファイバやライン導波路を用いた光回路を用いることも考えられるが、固定したライン配線となるため、配線の自由度には劣ることになる。また、こうした光回路の再構成を実現するには、多くの光スイッチを必要とするなど困難が伴う。さらには、線状光導波路は、数ミクロンから数十ミクロンのサイズであるので、光軸合わせが困難、光導波路に微細加工が必要で作製が難しい。

【0039】

一方、2D導波路を適用することで、所望の任意位置への光デバイス（発光素子や受光素子）の実装が可能となり、任意の位置の間での情報伝達が可能となる。さらには、光デバイスと導波路層の光結合に際し、光学的な位置合わせが容易になる。この様に単純な構成であるため、簡易に回路基板を形成することができ、低コスト化が可能である。さらに、後述の様に、2D光導波路を適用した光自由回路では、基本的に、光入出力部であるポートの制御のみで光回路の再構成が可能である。

【0040】

また、自由空間に光を伝播させる方式は、配線自由度が高いが、サイズが大きくなってしまうという課題があるのに対して、2D光導波路を用いた光自由回路を用いた構成は、薄型で高密度に実装がなされ得る回路基板を実現できる。

【0041】

次に、上記実施形態の如き本発明の再構成可能な光電融合回路の回路構成の変更方法について説明する。上記した様に、本発明においては、以下の3つの階層において、回路の再構成が可能である。

【0042】

すなわち、論理要素のレベル、論理ブロック内の電気接続網のレベル、光自由回路のレベルである。本発明の光電融合回路は、基本的に何度でも再構成可能である。さらには、回路全体を再構成することや、その一部のみを再構成することができる。この再構成を担う情報をコンフィギュレーションデータ（コンフィギュラブルションデータ）と呼ぶ。回路構成の変更は、このコンフィギュレーショ

ンデータを基に行うことになる。このコンフィギュレーションデータは光電融合回路の内部もしくは外部の記憶装置に保管しておき、必要なときに読み出すことで再構成を行う。コンフィギュレーションデータのロードには、電気配線を用いてもよいし、光自由回路を用いてもよいが、後で詳述する様に、光自由回路を用いることは、本発明の光電融合回路の特徴を生かした手法といえる。

【0043】

第1の階層すなわち論理要素レベルの再構成は、論理要素の内部構成を変更することで、機能を設定、変更することで行われ得る。論理要素は、複数の論理機能（関数）のうちのいずれか一つを与える様に電氣的に設定することが可能である。例えばLUTにおいては、LUTに特定の信号を入力することで特定の論理機能（関数）の真理値表を有した論理回路に設定、書き換えできる。LUTは、例えば、2から6入力程度の広い範囲の論理関数を実現できる。

【0044】

他にも、論理要素としてALU (Arithmetic and Logic Unit) を用いる場合には、入力する命令セットによって、機能を設定することができる。複数種類のALUを配して、所望のALUを選択する様にしてもよい。例えば、整数型や浮動小数点型、ビット数の異なるALUなどを配列しておくことが挙げられる。他にも、コンフィギュレーションデータの一部をマルチプレクサやセレクタの制御信号として用いることで再構成する手法なども挙げられる。

【0045】

再構成においては、全ての論理要素を再構成してもよいし、部分的に再構成してもよい。同様な機能を満たせるのであれば、部分的な再構成の方が高速な再構成が実現でき、より好ましい。また、論理要素ごとに、その内部もしくは近傍にコンフィギュレーションデータを記憶するSRAM等のメモリを配してもよい。なお、論理要素（第1の階層）を再構成しない形態、すなわち以下の第2に第3の階層のみを再構成する場合も、本発明の光電融合回路であり得る。

【0046】

第2の階層すなわち電気接続網レベルでの再構成は、論理要素とマトリックス配線との接続部やマトリックス配線の交差部に配されたスイッチを切り替えるこ

とで、電気配線網のルーチングを設定することで行われ得る（図2参照）。コンフィギュレーションデータの一部を用いて、これらのスイッチのオン／オフをすることで、論理要素間の接続関係の設定、変更をすることができる。交差部は、典型的には、パストランジスタのゲートを制御することで行なえる。すなわち、この様にして論理要素は、水平電気配線と垂直電気配線、スイッチを介して、他の論理要素に接続される。また、水平電気配線と垂直電気配線の間を、論理要素を介して相互に接続することも可能である。

【0047】

この様に、コンフィギュレーションデータにより論理要素のロジック機能と論理要素間の相互接続を再構成することができる。すなわち、或る論理ブロック内のコンフィギュレーションデータを書き換えることで、論理ブロックを再構成することが可能である。論理ブロックは、典型的には、個々の論理要素のロジック機能と個々の論理要素間の接続関係とを変更することにより内部構成を再構成できる電子回路ということができる。論理ブロックごとに、内部にコンフィギュレーションデータを記憶するSRAM等のメモリを有してもよい。他にも、フラッシュメモリ、EEPROM、DRAM、SRAM、MRAM、Fe-RAMなど任意のメモリが適用可能である。

【0048】

本発明の再構成可能な回路の機能は、個々の論理要素のロジック機能と、個々の論理要素間の接続関係に加えて、さらに以下の論理ブロック間の接続関係を指定することにより定められる

【0049】

第3の階層すなわち光自由回路のレベルでの再構成は、論理ブロックに接続されたポートからの光出力を制御することや、ポートへの光入力を分別することなどで行い得る。また、個々の論理ブロック間の接続関係の設定、変更は、光自由回路の接続の制御をコンフィギュレーションデータの一部を用いて指定することで実現される。

【0050】

光自由回路においては、前記した様に発信ポートからの光信号の放射角や伝播

方向を変更して送信先を選択することで回路接続を変更（再構成）する手法などがある。他にも、受信ポートにおいて、光信号の受信する方向を変更することも可能である。他にも、受信ポートにおいてデータを選別することで、回路の再構成を行うこともあり得る。例えば、発信ポートは、情報をパケット信号としてアドレスなどを付与してブロードキャスト送信し、そのアドレスを受信ポートで選別することで、所望の受信ポートへ情報を伝送する手法がある。この様にして、光自由回路は、本質的に、ポートで双方向の完全結合を実現できる回路である。

【0051】

また、基本的に、論理ブロックの間は光自由配線で相互接続されるが、近接した論理ブロック間など特別な論理ブロックの間は、電気配線で直線接続してもよい。ただし、遠距離の論理ブロック間は光配線での接続が好ましい。この様な際には、光配線と電気配線は、自由に選択できる様にしてもよい。

【0052】

この第3の階層により、論理ブロックは、光自由回路を介して他の論理ブロックと高い自由度で接続することが可能となる。これにより、複数の論理ブロックにまたがる大きな再構成可能な回路を実現できる。

【0053】

この様に、第1、第2、第3の階層の構成を適用することで、論理要素、論理ブロックは、コンフィギュレーションデータに応答して柔軟に相互接続することができる。

【0054】

上記3つの階層に加えて、さらに別の再構成の階層を追加しても構わない。例えば、第2と第3の階層の間に、別形態の電気接続網の階層を用意することができる。論理ブロックとポートの対応関係は、この電気接続網の再構成で変更可能となる。第4の階層として光ファイバからならネットワーク網を用意することなどをしてもよい。その様な場合でも、上記3つの階層を有することによるメリットは十分に働く。

【0055】

コンフィギュレーションデータの入出力や転送、再構成の指示などに、別途、

制御回路を用意してもよい。また、論理ブロックの一部に、この制御回路を割り当ててもよい。特に、論理ブロックへのコンフィギュレーションデータの転送に光自由回路を用いることは、高速な再構成が可能となることから好ましい。これにより、リアルタイムで動的な再構成が可能となる。頻繁に論理ブロックの再構成を行えば、その時点での処理内容に最も適した形に回路を再構成でき、処理の高速化を図ることができる。

【0056】

図3は、本発明の光電融合基板の実施形態の構成を示す断面図である。図3において、105は電気配線層、106は電気配線、107は論理ブロックである電子デバイス（チップ）である。図3に示す様に、この回路基板は、再構成可能な電子デバイス107と、光伝送媒体101として2D導波路を用いた光回路が共存している。さらにチップ107間を接続する電気配線106を有した電気配線層105が積層され、コンパクトに実装されている。電子デバイス107からの信号がポート102において光信号に変換され、光信号は光伝送媒体101を伝播後、別のポート102において電気信号に変換されることで、光自由回路が構成される。

【0057】

図3は、3つのチップ107a～107c及びポート102a～102cを有した回路の断面図であるが、例えば、上から見た図の図2に記す様に、面内に任意の数の論理ブロック（チップ）とポートを任意の位置に配置可能である。また、ポート102は光伝送媒体101に接して上部に配置しているが、これに限るものでなく、光伝送媒体101の中に埋め込む様に配置し、直接、導波路に光を結合したり、光伝送媒体101の端面に配置してもよい。

【0058】

光伝送媒体101は、伝播光103に対して十分な透過率を有するものであれば、ガラス、半導体、有機材料などの任意の材料を適用できる。例えば、市販のガラス基板、ニオブ酸リチウムなどの単結晶基板、Si、GaAsなどの半導体基板、ポリカーボネート、アクリル、ポリイミド、ポリエチレンテレフタレートなどからなる有機シートなどを、そのまま用いられる。また、真空蒸着、ディッピング、塗布などの任意の手法で製膜する方法や、射出成型、押し出し成型などで成型して作

製する方法等を用いてもよい。屈折率の異なる層で表面をコートしてクラッド層を形成してもよい。光伝送媒体101のサイズは、2Dの任意位置間で情報伝達を行うことから、情報伝達速度にもよるが、例えば100ミクロン程度から数10cmのサイズが可能である。光伝送媒体101の厚さは、1ミクロン程度から数cmの範囲で可能であるが、光軸合わせの容易性の観点から50ミクロンから数ミリ程度の厚さが好ましい。

【0059】

ポート102の光出力部は、2D光導波路の平面内に適当な放射角で伝播光103を伝播させるが、平面に対して垂直な方向においては伝播可能な全ての角度（全ての導波モード）を伝播させたり、選ばれた角度（単一の伝播モード）を伝播させたりできるが、特にこだわらない。

【0060】

ポート102の光出力部に適用可能な発光素子としては、レーザーダイオード、LEDなどが挙げられるが、その中でも光放出角の小さい面発光レーザは小さな放射角の伝播光を実現できる観点から好ましい。ポート102の光出力部は、放射角や放出方向を切り替える手段を有することができる。これにより、2D光導波路101において、ポート102から異なる放射角や方向で光を伝播させられ、さらにこれらを切り替えることができる。放射角や方向の切り替え手段としては、例えば、ポート102に、異なる放射角や方向で光を放射可能な複数の光出力部を配し、発信に用いる光出力部を電氣的に選択することで、伝播する放射角や方向を切り替える方法がある。例えば、複数の発光素子がアレイ状に配列したものをを用い、アレイのそれぞれの素子に対して、異なる放射角や放出方向が設定、分別される様に構成する。この場合、アレイの中で用いる発光素子を選択することで、放射角や放出方向の設定、分別が可能となる。

【0061】

さらに、光出力部に適用される発光素子として、放射角や放出方向を制御、変更可能なデバイスを用いることが挙げられる。また、光出力部に適用される発光素子と2D光導波路101の結合態様を可変にすることで、放射角や放出方向を変更する方法もある。より具体的には、発光素子に近接して配されたミラーやプリ

ズム、レンズ、グレーティングなどの光結合部を動かしたり、発光素子自身の位置を動かして同様な効果を持たせたり、光結合部を構成する材料の屈折率などの光学的性質を変調したりする。光結合部を可動にする手段としては、例えばマイクロメカニクスの技術により、静電力素子、磁力素子、圧電素子などを適用して微小な可動ミラーなどを構成する方法がある。

【0062】

一方で、ポート102の光入力部は、2D光導波路101の360°にわたる全方向から光を受信可能な様に構成されていることが好ましい。この様に構成することで、光入力部の構成は全て同一で単純な構成とできるという利点がある。もちろん、2D光導波路の所定方向からの光のみを受信する様に構成してもよい。光入力部に適用可能な受光素子としては、PINフォトダイオード、MSMフォトダイオードなどが挙げられる。光入力部にも光結合器を適用できる。上述の観点から、光入力部に適用する光結合器としては、任意の方向、すなわち、面内360度方向から光を受光することが好ましいため、特に円錐状や球状のミラーを用いるのが好ましい。

【0063】

また、ポート102として、複数の受光部をアレイ状に配列したものをを用いることもできる。特に、アレイのそれぞれの素子に対して入射される方向が異なる様に、受光部を配することができる。この場合、アレイの中で用いる受光部を選択することで、光が到達した方向の分別が可能となる。

【0064】

光伝送媒体101は任意の基板100上に配し得る。基板100としては、プリント基板、アルミやSUSなどの金属基板、Si, GaAsなどの半導体基板、ガラスなどの絶縁基板、PMMAやポリイミドやポリカーボネートなどの樹脂性の基板やシートを適用できる。

【0065】

電気配線106はアルミ、銅などの金属配線であり、その作製には、真空蒸着、導電性ペーストをスクリーン印刷法で形成する方法が用いられる。他にも、電解銅箔等の金属箔を積層し、所望のパターンに形成されたエッチングレジストを用

いて金属箔を化学エッチングすることにより、回路導体パターンを形成する手法などが用いられる。図3において、光伝送媒体101の層は一層として示してあるが、複数層有してもよい。

【0066】

以上の実施形態で説明した様に、本発明の光電融合基板は、電子デバイス（論理ブロック）における構成変更と、光回路を用いた構成変更を可能とし、信頼性高く柔軟に光電融合回路の再構成が可能となる。また、この様な光伝送媒体を有した回路基板は、設計自由度が高く回路の再構成が可能であり、大量な情報を高速に扱えて電磁放射ノイズに強い回路基板とできる。

【0067】

【実施例】

以下に更に具体的な実施例をあげて、本発明を説明する。ただし、本発明は、以下に示す実施例に限られるものではなく、上述の概念に含まれるものであれば、その構成、製法等はこだわらない。

【0068】

「実施例1」

実施例1は、図2、図3の構成に準じた構成の光電融合回路及び基板である。本実施例は、図3に示す様に、2D光導波路からなる光伝送媒体101、ポート102、電気配線106を含む電気配線層105、再構成可能な電子回路を有した半導体チップ107を備える。ここでは、光伝送媒体101を電気配線層105a、105bが挟む構成になっており、電気配線層102aと光伝送媒体101の界面付近にポート102を設置してある。基板100のサイズは3cm□である。また、図2に平面構成を示す様に、論理ブロック205に対応する半導体チップ107が9個（[1,1]～[3,3]）配してある。それぞれの半導体チップ107に対応して1個のポート102が配置されている。

【0069】

光伝送媒体101は2D光導波路の構成であり、厚さ100 μ mのポリカーボネート（屈折率1.59）にクラッドとしてフッ素化ポリイミド（屈折率1.52程度）をコートしたものをを用いた。さらに、光伝送媒体101は、電子デバイス107が実装された電気配線層105と積層、接着することで、図3に示す様な高密度実

装された光電融合積層基板となっている。

【0070】

半導体チップ107の電気信号（CMOSロジックなど）は、ポート102と光伝送媒体101を介して、光信号として伝達されることが可能である。また、電気配線106を介して近傍の半導体チップ107に電気信号を伝送することもできる。場合に応じて、どちらかの方法を選択することもできる。半導体チップ107のロジック信号（例えばCMOSなら3.3V）は、ポート102の発光素子を駆動するのに十分な電圧である。ポート102における発光素子に順バイアスとなるようロジック信号を印加することで、電気信号は光信号に変換される。発光素子として0.85 μ m帯面発光レーザ（VCSEL）が用いられ得る。個々のVCSELの特性は、駆動電流3.0mA、光出力3mWとなっている。発光素子から発せられた光は、所定の放射角で光伝送媒体101を伝播する。

【0071】

本実施例のポート102は、様々な放射角、放出方向で伝播が可能な様に構成している。これを実現するために、光結合器301としては、図14（a）に示す様な4角錐状のミラーを用いた。発光素子306からの光303は角錐ミラー301の上方方向から照射されて横方向に反射され、光伝送媒体101に結合する。図14（b）の様に、発光素子からの光303が角錐の1斜面（光照射位置302）に照射される場合には、ほぼ90°の放射角で伝播する光304が実現され、図14（c）の様に4斜面（光照射位置302）に照射される場合には360°の放射角で伝播する伝播光304が実現される。角錐ミラー301の2、3斜面であれば、それぞれ180°、270°となる。角錐斜面は拡散面になっているため、放射角のほぼ全範囲にわたって均一な光が伝播される。

【0072】

角錐ミラー301の上方に、例えば、それぞれの斜面に対して一つと中央に一つの5つの発光素子306a, 306b, 306c, 306d, 306xを配し、各デバイスからの光がそれぞれの斜面の照射される様にしている。この様な構成により、発光素子を選択することで、放射角を設定できる。例えば、中央の発光素子306xを用いれば360°全ての方向に、306a～dのうちの一つを選べば、定められた90°の方向に、

2つを選べば 180° の方向に、3つを選べば 270° の方向に、4つを選べば 360° 全方向に伝播させることができる。

【0073】

この様に、本実施例においては、ポート102に複数の発光素子を配し、駆動する発光素子を選択することで、放射角、放出方向を切り替えられる。こうした光自由回路の再構成は、コンフィギュレーションデータに基づいてなされる。

【0074】

光伝送媒体101を伝播してくる光信号は、ポート102の受光素子に取り込まれ電気信号に変換される。受光素子としては、Si-PINフォトダイオードを用い、これは電子回路107に接続される。変換された電気信号は入力電気信号として、近接するLSI内部に取り込まれ処理される。この際、受光素子と共に電気信号を増幅するプリアンプを集積していれば、CMOSコンパチブルの電圧に復元することができる。また、受光部は円錐形状の光結合部を用いることで、2D光導波路101の 360° 全方位からの光を受光できる。この様にしてポート102間は、光伝送媒体101を介して自由な接続が可能である。ポート102間のデータ転送速度は、最大1Gbps、典型的には500Mbpsである。

【0075】

半導体チップ107、すなわち論理ブロックとしては、4入力LUTとフリップフロップからなる論理要素がマトリックス状に配列した構成のものを用いている。論理ブロックにおける論理要素の数は、約5万個である（図2では簡単のために 5×5 の25個で記してある）。コンフィギュレーションデータに基づき、LUTの論理機能、論理要素と配線の接続部のスイッチ切り替え、マトリックス配線の交差部のスイッチ切り替えを行うことで、電子回路107の再構成を行うことが可能である。チップ107のサイズは 0.6 cm^2 、動作周波数は200MHzである。

【0076】

本実施例の光電融合回路を動作させたところ、ポート102間で光回路が形成されており、所望の動作を行うことが確認された。外部よりコンフィギュレーションデータを読み込むことで、半導体チップ内の電子回路107の再構成と光自由回

路の接続変更（再構成）が可能であった。すなわち、コンフィギュレーションデータを基に、放射角と放射方向を切り替える手段を有した光回路が高い自由度で変更可能であることを確認できた。光自由回路は、所望のポート102間の接続が可能であり、更には所望のマルチキャスト伝送が可能である。こうして、光回路の再構成と半導体チップの電氣的な再構成とを併用することで、大規模で高速な回路を自由度高く再構成できた。

【0077】

「実施例2」

実施例2は、実施例1に準じた回路基板を用いて、回路の再構成を実現した例である。図4は、本実施例の光電融合回路における回路再構成の例を示す図である。実施例1の再構成可能な電子回路を有した半導体チップが、論理ブロック205に相当する。

【0078】

図4における太線は光自由回路、細線は電気配線による接続を示している。本実施例は、論理ブロック205間のデータ転送に光自由回路を用いた例である。以下に示す様に、光自由回路の接続を変更することで、高い自由度でデータのフローを変更できる。それぞれの論理ブロック205一つに対して、光送受信が可能なポートを一つ有している

【0079】

本実施例の回路は、図4の状態Aと状態Bの遷移により内部の構造を変更、すなわち、回路の再構成をしている。図4において、論理ブロック205には種々の模様が記されているが、模様は回路構成の内容の違いを示している。本実施例では、予めコンフィギュレーション情報を外部からロードすることで、論理ブロック205内の回路構成を設定した。状態Aでは、外部から論理ブロック[2,1]に信号が入力され該ブロック内で処理がなされた後で、光自由回路によって論理ブロック[3,3]へデータが転送され、この論理ブロック内で処理を施されてから出力される。状態Bでは、外部から論理ブロック[2,1]に信号が入力され、論理ブロック[3,3]から出力されるところは状態Aと同じであるが、その間に論理ブロック[1,3],[2,3]を経由する。ここで論理ブロック[2,1]から論理ブロック[1,3]は光自

由回路により、論理ブロック[1,3]から論理ブロック[2,3]、さらに論理ブロック[3,3]へは電気配線により伝達される。

【0080】

この様な状態の遷移は、ポートに付与されているメモリに、外部から光自由回路の接続変更の情報（コンフィギュレーションデータ）を書き込むことで行われる。このコンフィギュレーション情報に基づいて、ポートは光信号の送受信の方法を変更する。本実施例では、状態Aでは2つの論理ブロック205を用いた回路であったが、状態Bでは、論理ブロック[1,3],[2,3]の機能がデータフローの中で直列的に追加されたことになる。すなわち、光自由回路の再構成により、機能の拡張を行った例である。

【0081】

ここでは、状態数は2つで記されているが、2に限られるものではなく、任意の状態に再構成することができる。例えば、状態Aの様に2つの論理ブロックを用いる場合であれば、任意の2つの論理ブロックの組み合わせを用いることが可能である。特に、光自由回路を用いることで、距離的に離れた論理ブロック205間でも高速なデータを扱うことが可能である。この様に、ブロック単位で高い自由度でデータフローを再構成することで、光電融合回路は機能を変えたり、機能を追加したりできる。図4では、論理ブロックを9個で記しているが、数が増えた際には、光自由回路を用いる利点は更に大きくなる。

【0082】

本実施例では、論理ブロック205内の内部構成は予め設定しておき固定とした。すなわち、光自由回路である第3の階層の再構成のみを用いた例である。この様な再構成は、必要なコンフィギュレーションデータが少なく済むため、比較的高速な再構成を実現できる。また、ここでは論理ブロック205内の内部構成は固定としたが、システムのバージョンアップなどにおいて、必要であれば、プログラムを外部から書き換えることが可能である。この様な際に、本実施例においては論理ブロック205間が光自由回路で接続されることで接続自由度が高いため、新しいプログラムの設計自由度が高くなるというメリットがある。

【0083】

「実施例 3」

実施例 3 は、実施例 2 と同様の例であるが、並列に機能を追加した再構成の例である。図 5 は、本実施例の光電融合回路における回路再構成の例を示す図である。ここでも、それぞれの論理ブロック一つに対して、光送受信が可能なポートを一つ有している。光自由回路を用いた遠距離伝送、マルチキャストが機能していることがわかる。

【0084】

図 5 に示す如く、状態 A では、外部から論理ブロック [2, 1] に信号が入力され、該ブロック内で処理がなされた後で、光自由回路によって論理ブロック [3, 3] へデータが転送され、この論理ブロック内で処理がなされてから出力される。状態 B では、外部から論理ブロック [2, 1] に信号が入力され処理された後、論理ブロック [1, 3] へのパス A、論理ブロック [2, 2] を経て論理ブロック [2, 3] へと進むパス B、論理ブロック [3, 3] へのパス C に分岐される。ここで、論理ブロック [2, 1] から論理ブロック [1, 3] への転送と、論理ブロック [2, 1] から論理ブロック [3, 3] への転送と、論理ブロック [2, 1] から論理ブロック [2, 2] の転送は光自由回路を用い、論理ブロック [2, 2] から論理ブロック [2, 3] へは電気配線を用いて伝送される。

【0085】

本実施例の状態の遷移は、入力信号のヘッダなどに記されているアドレス等の制御情報を基に、論理ブロック 205 間の接続が変更される。例えば、出力伝送に光自由回路を用いるか電気配線を用いるかの選択を行ったり、発信ポートが放射角や放射方向を変更したりする。本実施例では、論理ブロック [2, 1] に入力された信号を論理ブロック [2, 1] が解読し、次に論理ブロック [3, 3] にビーム伝播する（状態 A）か、論理ブロック [1, 3], [2, 2], [3, 3] に向けてマルチキャストする（状態 B）かを選択する。すなわち、本実施例においては、信号に記されたアドレスなどの制御情報をコンフィギュレーションデータとして用いて、光自由回路の再構成がなされる。ここでは発信ポート側で変更したが、状態 A 及び状態 B とも拡散伝播させておき、受信ポート側でデータを取得するか否かを設定してもよい。

【0086】

この様に本実施例では、状態AにおけるパスCに加えて、状態BではパスA、パスBがデータフローの中で並列的に追加されたことになる。すなわち、光自由回路の再構成により、機能の追加を行った例である。ここでも、状態数は2つに限らない。この様に、実施例2と同様に、ブロック単位で高い自由度でデータフローを再構成することで、光電融合回路は機能を変えたり、機能を追加したりできる。特に、回路の並列性を付与する際に、光自由回路のマルチキャスト伝送は有効である。

【0087】

「実施例4」

実施例4は、実施例3と同様な例であるが、さらに複雑な再構成の例である。図6は、本実施例の光電融合回路における回路再構成の例を示す図である。ここでも、それぞれの論理ブロック一つに対して、光送受信が可能なポートを一つ有している。また、光自由回路を用いた遠距離伝送、マルチキャストが機能していることが分かる。

【0088】

図6において、状態Aでは、外部から論理ブロック[2,1]に信号が入力され、論理ブロック[1,3],[2,3],[3,1][3,2],[3,3]を経て出力される。状態Bでは、外部から論理ブロック[2,1]に信号が入力されると共に、論理ブロック[3,1]にも別の信号が入力される。そして、論理ブロック[2,1]に入力された信号は論理ブロック[1,2]を経て論理ブロック[2,2]へと進む。論理ブロック[3,1]に入力された信号は、論理ブロック[1,3],[2,2],[3,2]へとマルチキャストされて、論理ブロック[1,3]への信号はそのまま出力され、論理ブロック[3,2]への信号は論理ブロック[3,3]へと進み出力される。他方、2つの信号が到達した論理ブロック[2,2]では、これらの信号を用いて演算処理が施され（例えば比較処理）、処理後の信号は論理ブロック[2,3]へと進み出力される。

【0089】

このような状態の遷移は、ポートに付与されているメモリおよび論理ブロック205に、外部から光自由回路の接続変更の情報（コンフィギュレーションデータ）

を書き込むことで行った。これにより、それぞれの論理ブロックでは、出力に電気配線を用いるか光自由回路を用いるか、さらにはどの方向や放射角で光出力するかなどが切り替えられる。

【0090】

本実施例では、状態Aのシリアル的な回路から、状態Bの並列的な回路へと再構成がなされる。特に、光自由回路を用いた論理ブロック[3,1]からのマルチキャスト伝送が、本実施例における高度な再構成を可能にしている。さらに、状態Bでは、並列性に加えて、論理ブロック[2,2]において、分岐されたデータフロー間の演算も可能になっている。ここでも、状態数は2つに限らない。この様に、実施例4でも、ブロック単位で高い自由度でデータフローを再構成することで、光電融合回路は機能を変えたり、機能を追加したりすることができる。本実施例は、特に、並列性に優れた再構成可能な回路である。

【0091】

「実施例5」

実施例5は、論理ブロック内のコンフィギュレーションデータを分配するのに光自由回路を用いた例である。これにより、論理ブロック内の電子回路構成が、光により配信されるコンフィギュレーションデータを基に高い自由度で変更される。図7は、本実施例の光電融合回路における回路再構成の例を示す図である。

【0092】

本実施例においては、論理ブロック205となるチップとは別に、メモリブロック209を有し、メモリブロック209から論理ブロック205の内部構成に対応したコンフィギュレーションデータを提供する。メモリブロック209としては、不揮発性メモリとして保存されたコンフィギュレーションデータの中から適当なものを選んで用いる様にしてもよいし、揮発性メモリとして、システムを動作させながら随時内部を書き換えてもよい。メモリとしては、フラッシュメモリ、EEPROM、DRAM、SRAM、MRAM、Fe-RAMなど任意のメモリが適用可能である。

【0093】

本実施例では、それぞれの論理ブロック205一つに対して、受信専用のポート

が一つ備えられている。メモリブロック209にもポートが接続されており、これは発信専用になっている。メモリブロック209からコンフィギュレーションデータを、適宜、所望の論理ブロック205にロードすることで、この論理ブロック205内の電子回路が再構成される。図7においては、論理ブロック205の様子が変わったことが、内部電子回路の構成が変わったことを示している。図7の状態A、状態Bともに、外部から論理ブロック[2,1]に信号が入力され[2,2],[3,2],[3,3],[2,3],[1,3]を経て出力される。すなわち、本実施例においては論理ブロック205間のデータのフローは状態の遷移に対して変わらない。本実施例では、データのフローは電気配線を用いている。勿論、データの流れの一部に光自由回路を用いてもよい。

【0094】

コンフィギュレーションデータの送信は、メモリブロック209から光信号で全てのポートに受信可能な様にブロードキャスト送信している。送信データには、パケット形式で、論理ブロック205に対応したアドレスが付与されているため、アドレスに対応したポートでコンフィギュレーションデータを受信できる。すなわち、光自由回路は、コンフィギュレーション情報の送受信回路における再構成の機能をしている。

【0095】

論理ブロック205全てを再構成する必要はない。図7においては、[2,1],[3,2],[2,3]の論理ブロック205のみを再構成している。図7の点線がコンフィギュレーションデータの流れを示している。光自由回路は、パケットのアドレスを変えるだけで所望の論理ブロック205に情報を伝達できるため、このような部分的な再構成において、有効に機能しうる。

【0096】

この様にして、データのフローは一定であっても、光自由回路を用いた自由なコンフィギュレーションデータの送受信により、光電融合回路の再構成が可能である。特に、光自由回路は、ブロードキャストやマルチキャストが可能であるため、複数の論理ブロック205のコンフィギュレーションデータを書き換える際や、部分的書き換えの際に有用である。また、論理ブロックが多くなっても、遠距

離の論理ブロック205にも高速にコンフィギュレーションデータを伝送可能である。

【0097】

本実施例の光電融合回路は、第3の階層を用いてコンフィギュレーションデータを配信し、第1及び第2の階層の少なくとも一方の階層の内部構成を再構成した例である。こうして、本実施例の光電融合回路は、第3の階層を、特に、第1及び第2の階層の少なくとも一方の階層のコンフィギュレーションデータを伝送するために用いる例といえる。

【0098】

「実施例6」

本実施例は、実施例5につづき、論理ブロック205のコンフィギュレーションデータを分配するのに光自由回路を用いる例である。本実施例では、さらに論理ブロック205間のデータフローも再構成する。実施例5と同様に、論理ブロック205内の電子回路構成は、メモリブロック209からのコンフィギュレーションデータを基に再構成が可能である。本実施例においても、それぞれの論理ブロック205一つに対して、送受信可能なポートを一つ有している。また、図8を見て分かる様に、論理ブロック205間にも光自由回路を適用すると共に、論理ブロック205間のデータフローも再構成がなされている。

【0099】

図8の状態Aは1入力、1出力であり、論理ブロック[2,1]に入力された信号は、6個の論理ブロックを経て論理ブロック[1,3]から出力される（パスA）。状態Bは2入力、2出力である。論理ブロック[2,1]から入力された信号は4個の論理ブロックを経て論理ブロック[1,3]から出力される（パスA'）。それとは別に、論理ブロック[3,1]に入力され論理ブロック[3,3]から出力されるパスBが形成される。本実施例は、状態の遷移によって、光電融合回路に新たな機能（パスB）を割り込ませると共に、もとの機能はパスAからパスA'へ縮小化している例といえることができる。

【0100】

本実施例においても、メモリブロック209から光自由回路を用いてコンフィギ

ュレーションデータが配信される。但し、コンフィギュレーションデータの移動の一部に電気配線を用いても構わない。このコンフィギュレーションデータに基づき、論理ブロック205内、さらには論理ブロック205間の自由な接続の変更（再構成）がなされる。すなわち、本実施例は、第1、第2、第3の全ての階層を用いて再構成を実施した例である。本実施例において、再構成される論理ブロック205は一部のみ（論理ブロック[2,1],[2,3]のみ）である。このような部分的な再構成は、コンフィギュレーションデータの規模が小さくて済むことから、高速な再構成が可能である。

【0101】

「実施例7」

実施例5、6ではコンフィギュレーションデータを、論理ブロック205とは別に用意したメモリブロック209に集中して格納した。実施例7は、コンフィギュレーションデータをそれぞれの論理ブロック205に分散して格納する例である。それぞれのLSIチップは、論理ブロック（ロジック部211）に加えてメモリ部210を有し、論理ブロックの内部構成に対応したコンフィギュレーションデータをメモリ部210に所有している。また、それぞれの論理ブロックは、所望のコンフィギュレーションデータを、別の論理ブロックから光接続を用いて移動、複写、置換することが可能である。この際、常に、論理ブロックに展開される回路に対応したコンフィギュレーションデータをそれぞれのメモリ部210に保管する。

【0102】

図9において、論理ブロック[1,1],[1,2][2,1]の間で、シーケンシャルにコンフィギュレーションデータが遷移すると共に、論理ブロック内部の電子回路の構成が遷移する。さらに、論理ブロック[2,3]と論理ブロック[3,1]の間ではコンフィギュレーションデータが置換されると共に、論理ブロック内の電子回路の構成が置換される。ここでも、状態数は2つに限らない。図9の例では、2×3の6状態に遷移可能である。

【0103】

このような手法により、外部から情報をロードすることなく、論理ブロック間のコンフィギュレーションデータの移動、複写、置換により、多様な再構成を実現

できる。また、マルチキャストにより、移動と複写を同時に行うこともできる。

【0104】

図9では、データフローには電気配線を用い、コンフィギュレーションデータの移動には光自由回路を用いている。但し、これに限られるものでなく、データフローに光自由回路を用いてもよいし、コンフィギュレーションデータの移動に電気配線を用いても構わない。また、置換においては、別に空の論理ブロックを用意しておき、そこにコンフィギュレーションデータと電子回路の構成を一次退避させておく様にすれば、スムーズな移行が可能になるので好ましい。すなわち、論理ブロックの少なくとも一つはコンフィギュレーションデータのバッファとして働かせることで、コンフィギュレーションデータの移動をスムーズに行える。

【0105】

本実施例においては、光自由回路を適用することで、コンフィギュレーションデータの移動、置換、複写の自由度が著しく向上する。特に、遠方の論理ブロックへの移動、置換、複写を高速で行うことができる。これは、論理ブロックの数が多いときに特に顕著である。

【0106】

本実施例は、第3の階層を用いた回路の再構成方法ということができる。再構成の自由度が高いことや、部分的な再構成を高速に実施できるという特徴がある。また、実時間制御システムなど、時系列的に連続的な再構成を行う回路において、効果的である。

【0107】

「実施例8」

実施例8は、複数の論理ブロック205を一つの大きな回路として用いて再構成を行う例である。図10に本実施例の再構成の例を示す。図10の回路は、 4×4 の16個の論理ブロックからなる回路である。本実施例においては、論理ブロック205には4つの送受信可能なポートが接続されている。一つの論理ブロックあたりに多くのポートを配することで、論理ブロック205間の接続自由度が向上し、複数の論理ブロックからなる大きな回路としての設計がより容易になる。

【0108】

図10の状態Aでは論理ブロック[1,1]から信号が入力され、論理ブロック[4,4]から出力される。図10の破線で囲まれた論理ブロックは、一つの大きな回路として働く。この大きな回路の中の論理ブロック205間は、電気配線もしくは光自由回路により高い自由度で接続がなされる。状態Bでは、別の論理ブロック[2,1]に入力がなされ、論理ブロック[4,4]から出力される。ここでも、破線で囲まれた論理ブロックは一つの大きな回路として働く。この大きな回路の中の論理ブロック間でも、電気配線もしくは光自由回路により高い自由度で接続がなされる。

【0109】

本実施例の状態Aと状態Bは破線内の回路機能が同一である。しかし、状態Aと状態Bの遷移において、入力部が異なるため、回路機能は同一であるが回路のサイズ、形状が異なる。このため、回路機能が同じであっても配置配線は異なったものとなり、回路構成は異なる。状態間の遷移は、入力される論理ブロックが[1,1]か[2,1]であるかによって切り替わる。この際、入力部の論理ブロック205に接続されたポートから光自由回路を用いてブロードキャストすることにより、回路再構成のフラッグ信号を発する。このフラッグ信号の受信をトリガーとし、各論理ブロック205が内部の再構成を行う。この様な手法により、情報が入力された論理ブロック205からの指示により、スムーズに状態遷移（再構成）が成される。

【0110】

本実施例でも、光自由回路を有しているため、論理ブロック間の接続自由度が高い。そのために状態間の遷移において、論理ブロック内の電子回路の再構成規模が小さくて済み、さらにその設計自由度が高い。

【0111】

「実施例9」

本実施例でも、図11の様に複数の論理ブロックで大きな回路を再構成する。本実施例においては、実施例8と異なり、再構成において破線内の論理ブロックで形成される回路は、回路の機能、構成ともに変更される。回路は、図11のよ

うに 4×4 の 16 個の論理ブロックからなる回路である。また、本実施例は、図 11 の中央と 4 隅の 5 つの送受信可能なポートを有している。それぞれのポートは近接した複数の論理ブロック 205 から接続されており、共用される。この様にポートを複数の論理ブロック 205 で共用することで、ポートの数が少なく済み、光自由回路の構成が単純になる。

【0112】

本実施例の各状態 A、B では、図 11 に示す様にデータを処理した後、出力データは入力部に再び帰還される。帰還のデータ送信に光自由回路を積極的に用いている。データ処理により複数の論理ブロック 205 を経由すると、入力部と出力部の距離が離れてしまうため、帰還の経路は遠距離となる。そのため、帰還の経路に光自由配線を用いるのが好ましい。また、帰還時には、帰還するデータと共に、全ての論理ブロックに向けて、帰還したことを示すフラグ信号をブロードキャストすることができる。このブロードキャストは光自由回路の得意とするところである。このフラグ信号を基に、それぞれの論理ブロック 205 はその内部回路を再構成する。本実施例では、論理ブロック内の論理要素ごとにメモリを有している。このメモリにそれぞれの論理要素のコンフィギュレーションデータを複数格納している。フラグ信号のトリガーにより、論理要素の機能を変更することで論理ブロックの内部が再構成される。この様に、本実施例では、データのフローに基づいて、自動的に次の状態への再構成を行うことができる。

【0113】

この様な手法により、帰還ごとに、論理ブロックの電子回路が再構成されることになる。すなわち、帰還ごとに異なる回路として働く。こうして、小さな再構成可能な回路をシーケンシャルに切り替えることで、大きなプログラムを実行することが可能となる。

【0114】

「実施例 10」

実施例 10 は、複数の論理ブロック 205 と共に異種類のチップを混載した光電融合回路の例である。図 12 は、ASIC (Application Specific Integrated Circuit) 212、メモリチップ 213 と混載された際の例を記している。図 12 におい

て、論理ブロック205、ASIC212、メモリ213は、ポートを介して光自由回路による自由な接続、さらには接続の変更（再構成）が可能である。

【0115】

この様な構成により、論理ブロック205内の再構成、さらには、上記デバイス間の接続変更により、回路全体にわたる自由な再構成を実現できる。通常、内部回路の固定されているASICの存在が回路全体にわたる再構成を困難にするが、光自由回路を用いることで、再構成の実現可能性を著しく高めることができる。また、この様なシステムにおいて、光自由回路はポートの配置位置に対する自由度が高い（制約がない）ため、ASIC212やメモリ213の電気ピン配置に対しての配置許容度が高くなる。

【0116】

また、ASICなどの他のデバイスのチップ形状により、電気配線では他のデバイスの配置や接続に制約を受けることがあるが、この様な際にも光自由回路の適用により、冗長性高く柔軟に回路を実現できる。これらのことは、ASICなどの他のカスタムデバイスの設計を容易にし、さらには高性能化にも寄与する。すなわち、本実施例の光電融合回路は、高性能でカスタムな再構成可能な回路を、冗長性高く、実現することができる。

【0117】

「実施例11」

本実施例の構成は、実施例1に準じているが、論理ブロックとしてプロセッサアレイを適用した例である。論理ブロックは、論理要素として、動作周波数100MHzで32ビットの演算ユニットとデータ保持用の8KBのメモリからなり、それらが12×12の144個配列してなる。演算ユニット間は、マトリックス状の配線とスイッチからなる相互接続網で接続されている。さらに、論理ブロックは3×3に配置され、2D光導波路からなる光自由回路と電気配線でプロセッサ間が相互接続されたデータフロー型のマルチプロセッサである。光自由回路を用いて、データ信号に加えて、命令セットや制御信号、割り込み信号などを伝送することが可能である

【0118】

本実施例の再構成可能な光電融合回路は、複数のプロセッサを用いて並列処理を行うことで高速な処理が可能であり、しかも、プロセッサエレメント間をプログラマブルなスイッチで電氣的に接続すると共に、光自由回路で接続しているため、目的に応じたプロセッサエレメント同士の自由な接続を実現でき、効率の良いデータフローが可能である。

【0119】

【発明の効果】

以上説明した様に、本発明により、大規模であることに加え、高速性を容易に備え得る構成を有する再構成可能な光電融合回路を実現できる。

【図面の簡単な説明】

【図1】

本発明の再構成可能な光電融合回路の接続関係の原理を説明する図である。

【図2】

本発明の再構成可能な光電融合回路の構成例を示す平面図である。

【図3】

本発明の再構成可能な回路の光電融合基板の構成例を示す断面図である。

【図4】

本発明の実施例2の光電融合回路の再構成の例を示す図である。

【図5】

本発明の実施例3の光電融合回路の再構成の例を示す図である。

【図6】

本発明の実施例4の光電融合回路の再構成の例を示す図である。

【図7】

本発明の実施例5の光電融合回路の再構成の例を示す図である。

【図8】

本発明の実施例6の光電融合回路の再構成の例を示す図である。

【図9】

本発明の実施例7の光電融合回路の再構成の例を示す図である。

【図10】

本発明の実施例 8 の光電融合回路の再構成の例を示す図である。

【図 1 1】

本発明の実施例 9 の光電融合回路の再構成の例を示す図である。

【図 1 2】

本発明の実施例 1 0 の A S I C、メモリを混載した光電融合回路例を示す平面図である。

【図 1 3】

2 D 光導波路における光伝播の例を示す図である。

【図 1 4】

ポートの光結合部の例を示す図である。

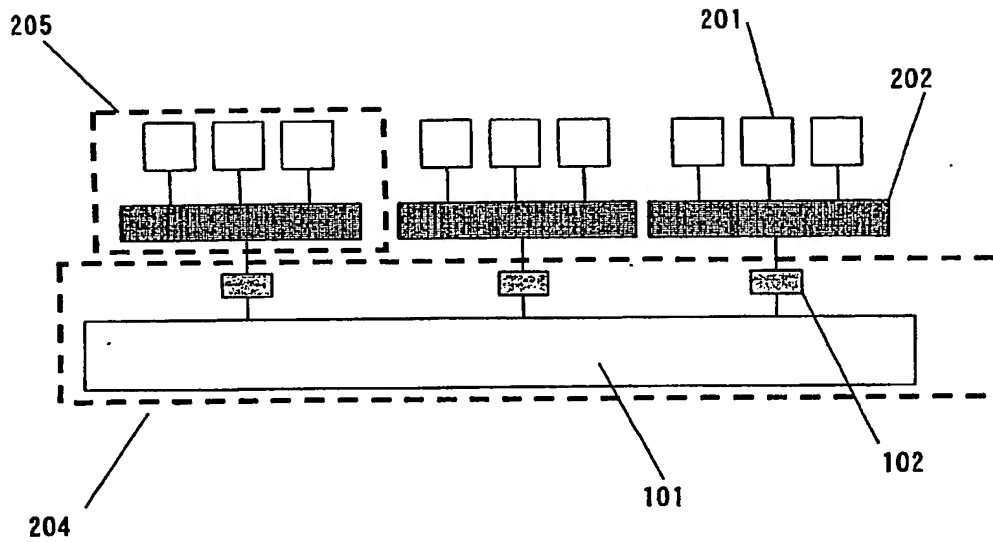
【符号の説明】

- 100 基板
- 101 光伝送媒体（2 D 光導波路）
- 102 ポート
- 103、304 伝播光
- 104 放射角
- 105 電気配線層
- 106 電気配線
- 107 チップ（電子回路）
- 201 論理要素
- 202 電気接続網
- 204 光自由回路
- 205 論理ブロック
- 206 交差部
- 207 接続部
- 208 マトリックス配線
- 209 メモリブロック
- 210 メモリ部
- 211 ロジック部

- 212 A S I C
- 213 メモリチップ
- 301 光結合部
- 302 光照射位置
- 303 発光部からの光（入射光）
- 305 光出力部
- 306 発光部

【書類名】 図面

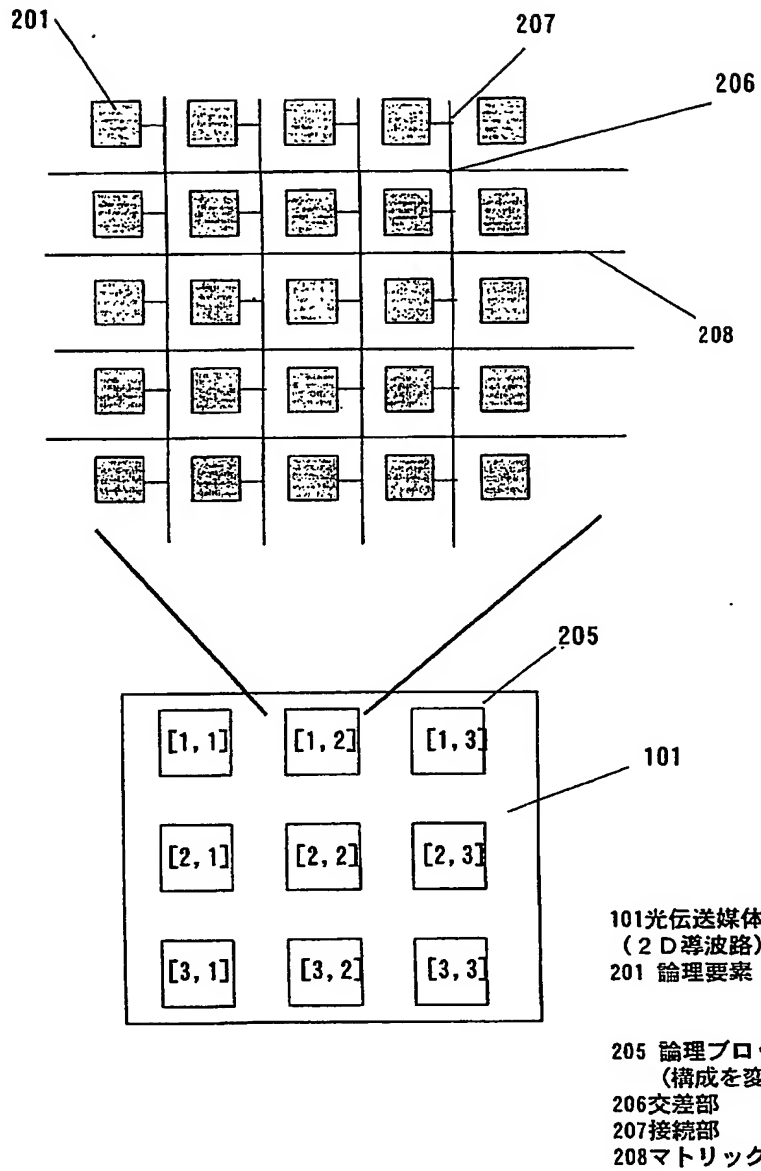
【図 1】



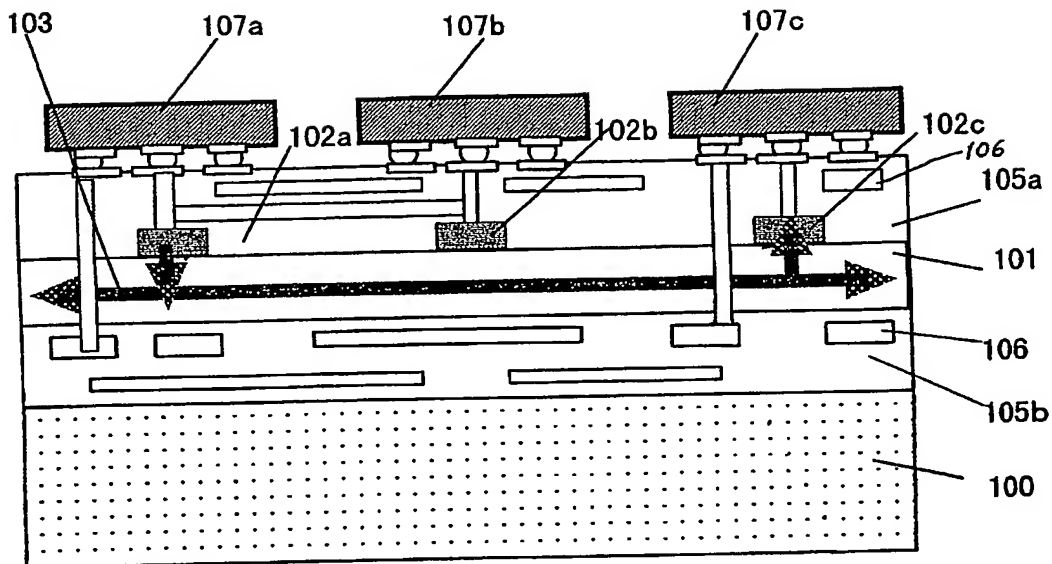
101 光伝送媒体
102 ポート
103 伝播光

201 論理要素
202 電気接続網
204 光自由回路
205 論理ブロック (構成を
変更可能な電子回路)

【圖 2】

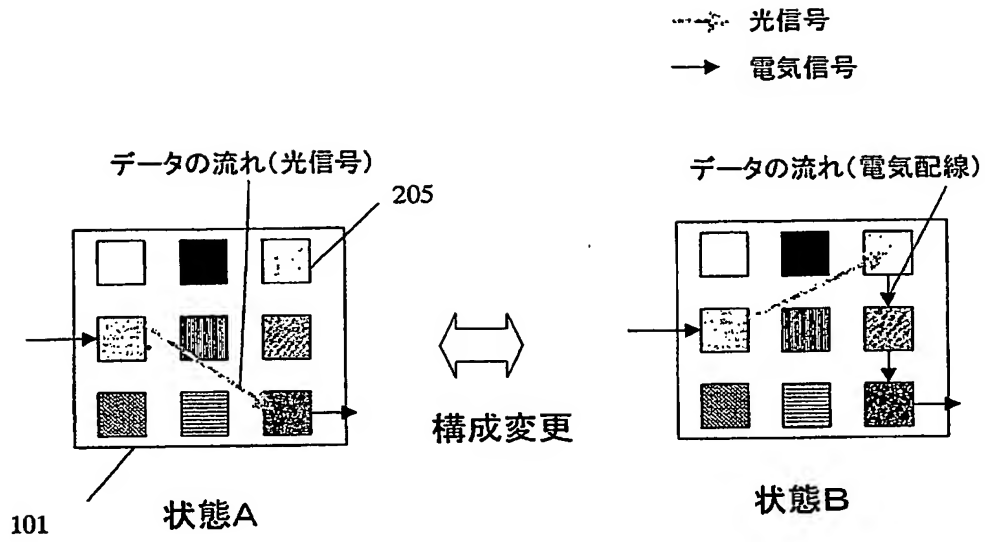


【図 3】

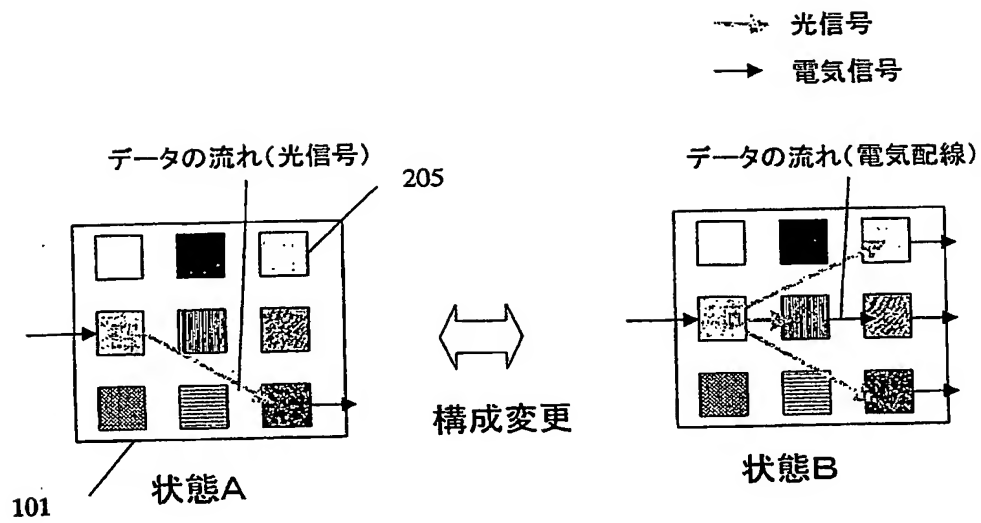


- 100 基板
- 101 光伝送媒体
- 102 ポート
- 103 伝播光
- 105 電気配線層
- 106 電気配線
- 107 チップ

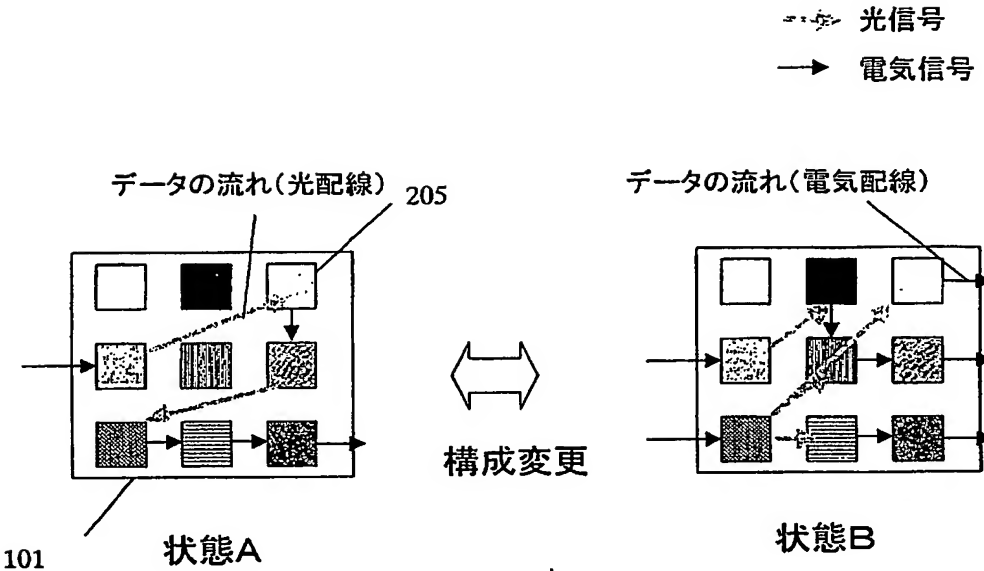
【図 4】



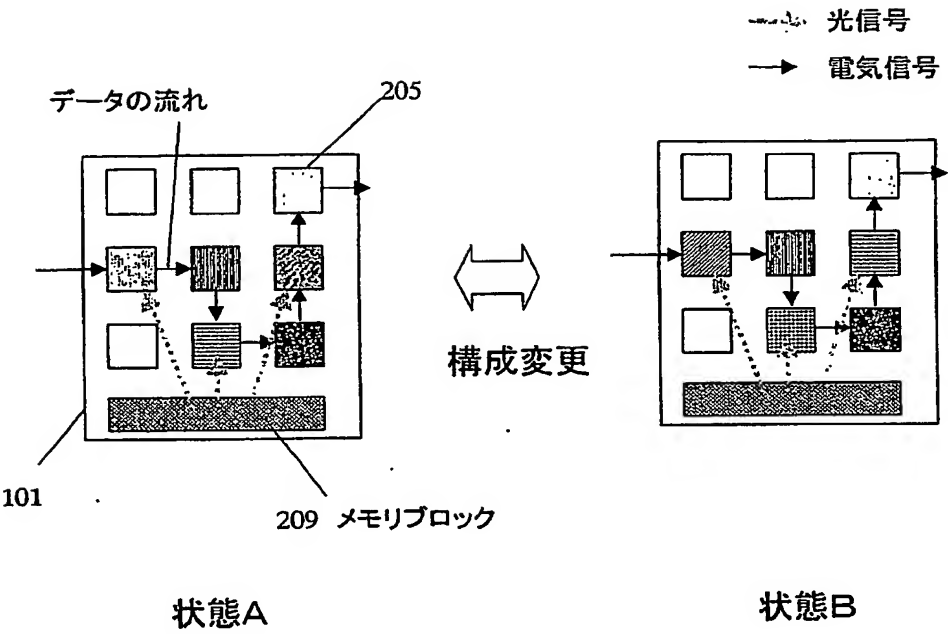
【図 5】



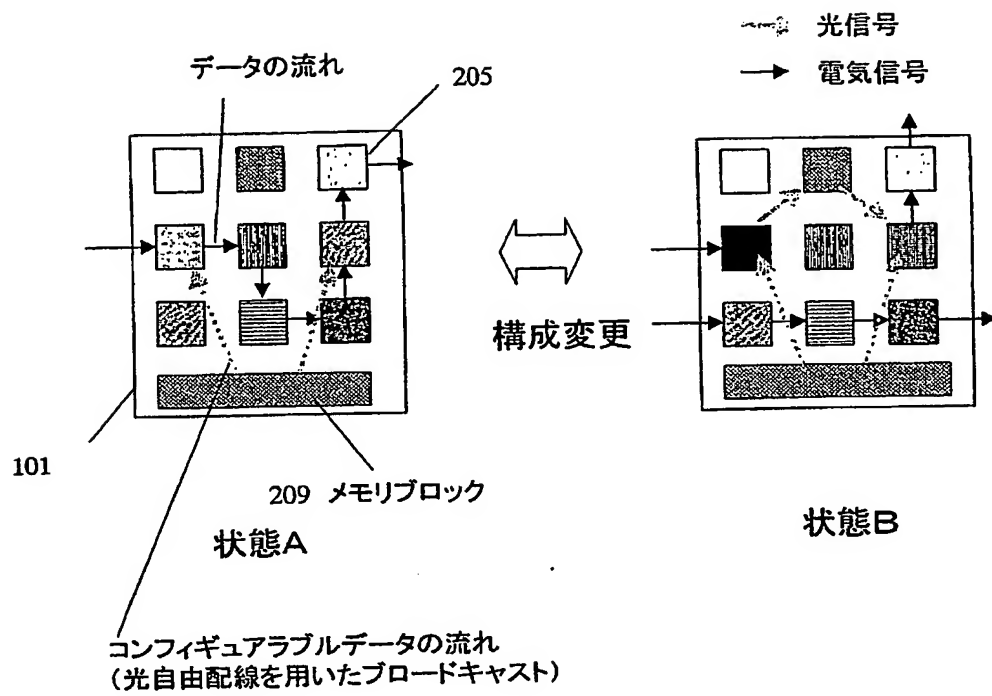
【図 6】



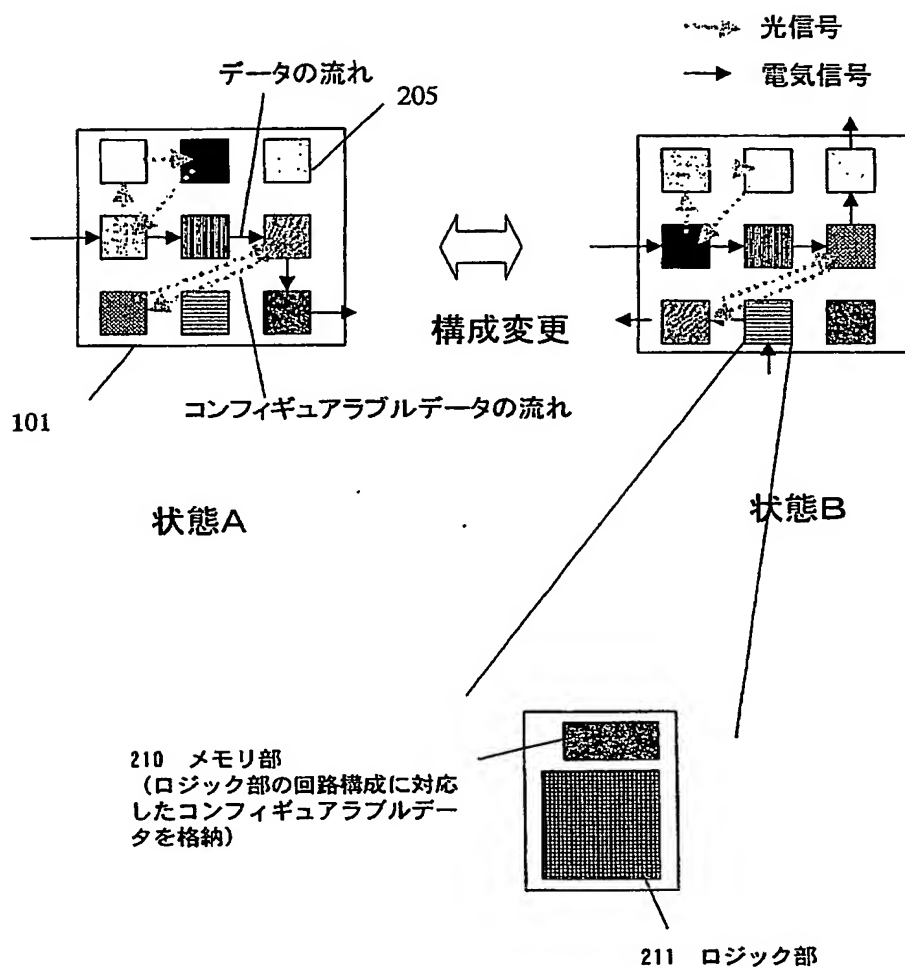
【図 7】



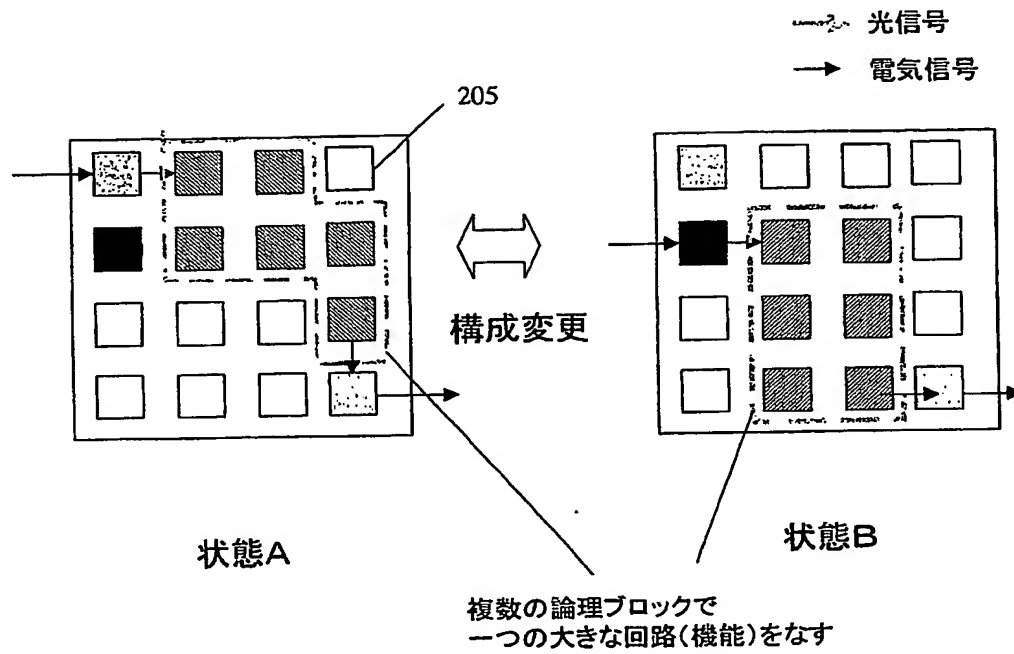
【図 8】



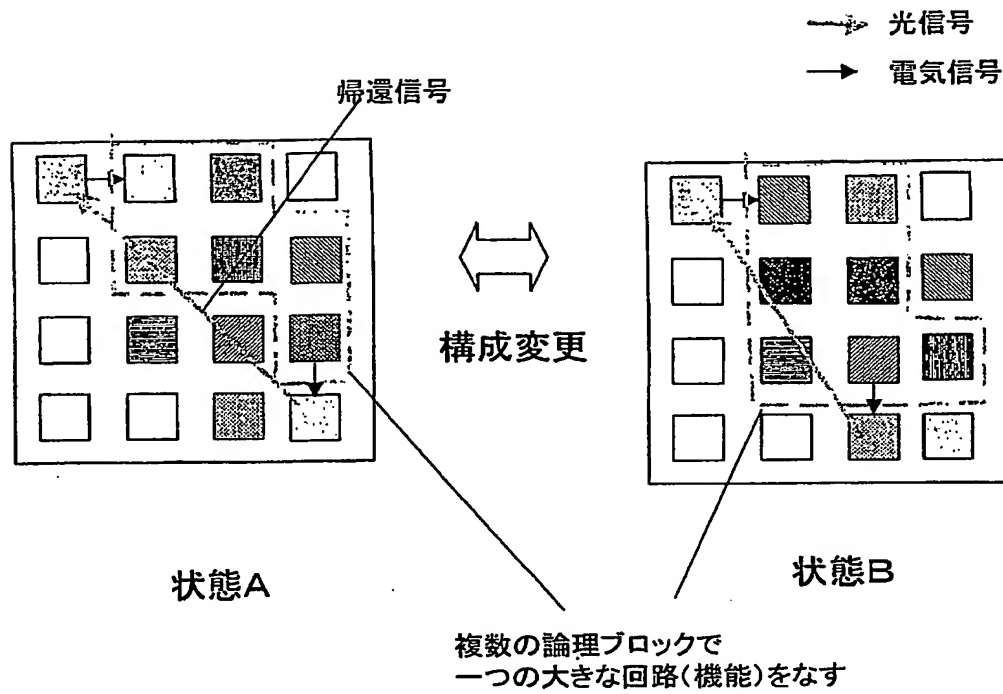
【図 9】



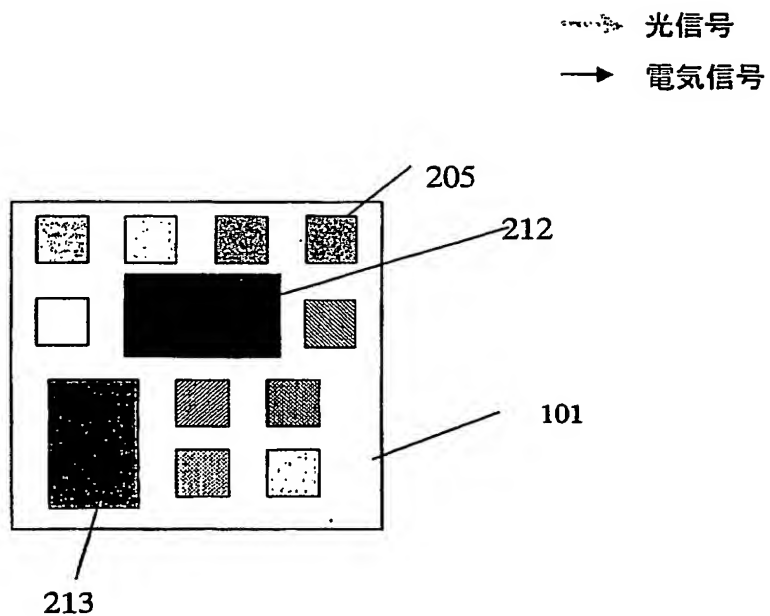
【図10】



【図 11】

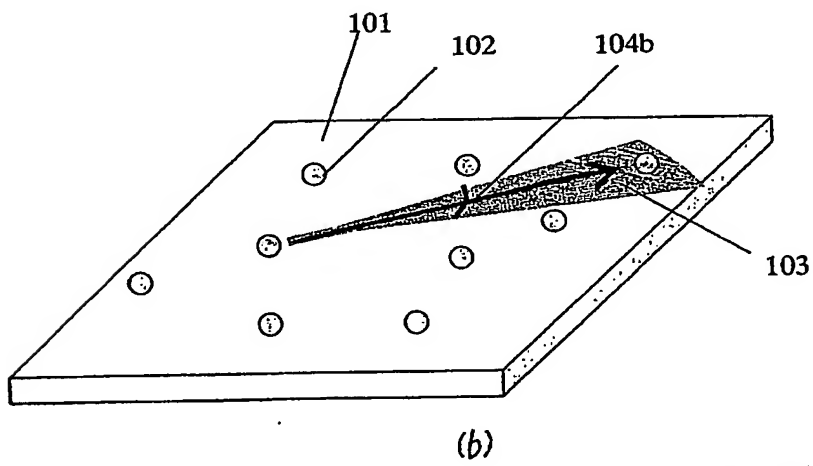
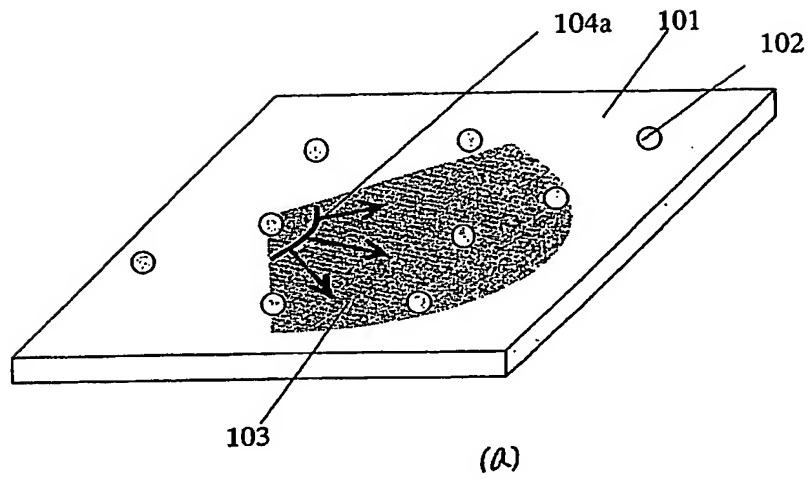


【図 12】



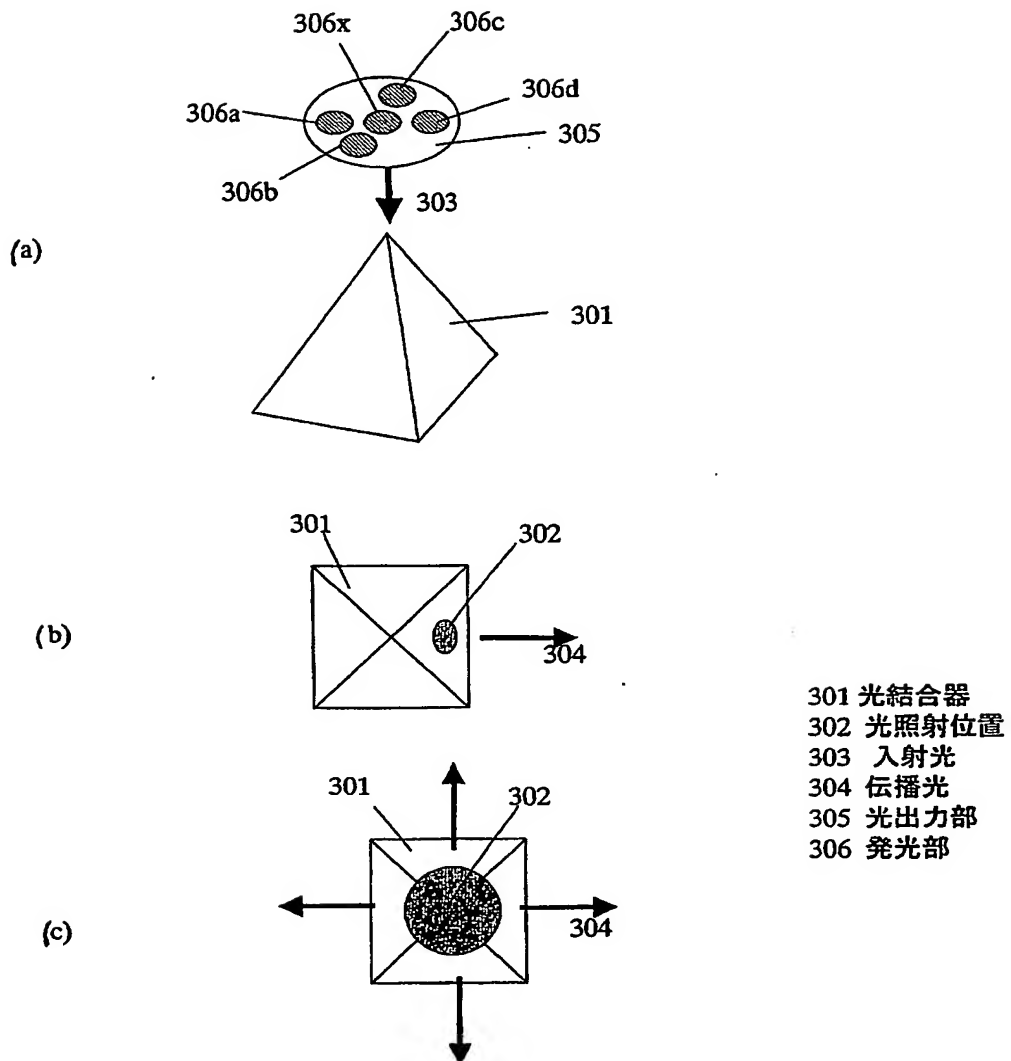
212 ASIC
213 メモリチップ

【図 13】



101 光伝送媒体
(2D導波路)
102 ポート
103 伝播光
104 放射角

【図 14】



【書類名】 要約書

【要約】

【課題】大規模であることに加え、高速性を容易に備え得る構成を有する再構成可能な光電融合回路を提供することである。

【解決手段】光電融合回路は、論理機能、電気接続、光接続などの内部構成を変更可能（リコンフィギャラブル）な光電融合回路である。光電融合回路は、複数の電子回路（論理ブロック205）とそれらを接続する光回路204を有し、論理ブロック205の内部構成が変更可能であることに加えて、論理ブロック205間の光回路204を介する光接続が変更可能である。

【選択図】 図 1

特願 2 0 0 3 - 1 1 0 2 4 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 0 0 7]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都大田区下丸子 3 丁目 3 0 番 2 号

氏 名

キャノン株式会社